

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 25 日
Application Date

申請案號：092206604
Application No.

申請人：凌陽科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 26 日
Issue Date

發文字號：09220633610
Serial No.

新型專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 92206604 ※IPC分類：

※ 申請日期： 92. 4. 25

壹、新型名稱

(中文) 省電之靜態記憶體控制電路

(英文) _____

貳、創作人（共1人）

創作人 1 (如創作人超過一人, 請填說明書創作人續頁)

姓名：(中文) 陳賡麟

(英文) _____

住居所地址：(中文) 新竹市中華路6段647巷75弄1-3號

(英文)

國籍：(中文) 中華民國 (英文)

參、申請人(共1人)

申請人 1 (如創作人超過一人, 請填說明書申請人續頁)

姓名或名稱：(中文) 凌陽科技股份有限公司

(英文)

住居所或營業所地址：(中文) 新竹縣科學園區創新一路 19 號

(英文)

國籍：(中文) 中華民國 (英文) _____

代表人：(中文) 黃洲杰

(英文)

☐ 續創作人或申請人續頁 (創作人或申請人欄位不敷使用時, 請註記並使用續頁)

肆、中文新型摘要

本創作係有關於一種省電之靜態記憶體控制電路，藉由位址比較器來比較靜態記憶體讀取時之目前位址訊號以及前次位址資料，如果位址訊號所表示之位址為相同時，則直接從緩衝器輸出緩衝之資料，而不需致能記憶體單元，以達省電之目的。

伍、英文新型摘要

陸、(一)、本案指定代表圖爲：圖 2

(二)、本代表圖之元件代表符號簡單說明：

10	位址解碼器	14	記憶體單元	18	緩衝器
20	位址暫存器	22	位址比較器	24	遮斷邏輯
241	反或閘	242	或閘		

柒、聲明事項

☐ 本案係符合專利法第九十八條第一項第一款但書或第二款但書

規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 無_____

2. _____

3. _____

☐ 主張專利法第一〇五條準用第三十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第一〇五條準用第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

捌、新型說明

(新型說明應敘明：新型所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

一、新型所屬之技術領域

本創作係關於一種靜態記憶體控制電路，尤指一種省電之靜態記憶體控制電路。

二、先前技術

一般而言，記憶體主要區分為靜態記憶體 (SRAM) 以及動態記憶體 (DRAM) 等二大類。其中，在相同的晶片面積下，動態記憶體容量大於靜態記憶體四倍以上、但是在速度上，靜態記憶體卻是比動態記憶體快四倍以上。此外，靜態記憶體價格也遠高於動態記憶體、其耗電也大於動態記憶體。故為了折衷價格與效能，在電腦中之設計上，常在中央處理器 (CPU) 與動態記憶體之間加入部分靜態記憶體作為快取記憶體 (Cache)，俾以提供快取之功能。

圖1係習知靜態記憶體之結構圖。其中，位址解碼器10係用以讀取位址線之資料並進行位址解碼，俾以輸出位址訊號來選擇記憶體單元14之特定記憶體區段。晶片致能訊號 (-CS) 用以致能記憶體單元14，俾使其能對所選擇之特定記憶體區段進行記憶體讀寫動作，當晶片致能訊號 (-CS) 被作用、且操作致能訊號 (-OE) 亦被作用，則可對記憶體單元14進行讀取，而將特定記憶體區段所儲存之資料經由緩衝器18之緩衝後輸出至外部電路；而當晶片致能訊號 (-CS) 被作用、且寫入致能訊號 (-WE) 亦被作用，則可對記憶體單元14進行寫入，以將

由外部電路輸入至緩衝器18之資料寫入特定記憶體區段。前述晶片致能訊號、操作致能訊號以及寫入致能訊號均使用低準位觸發之模式，即以低準位為作用狀態，高準位為不作用狀態。

然而，近來可攜式裝置日益普及，要求的不只是快速，更要能達到省電之目的。以一般靜態記憶體之操作為例，在待命狀態下，整個靜態記憶體只需要2微安培，然而在操作狀態下（讀取資料或寫入資料時，即晶片致能訊號為低準位），整個靜態記憶體可能需要20毫安培，其功率消耗相差一萬倍。加上靜態記憶體原本功率消耗就比較大，所以習知靜態記憶體在功率消耗之部份有許多改進之空間。

三、新型內容

本創作之目的係在提供一種省電之靜態記憶體控制電路，俾能減少靜態記憶體讀取時之功率消耗。

為達成上述目的，本創作揭露一種省電之靜態記憶體控制電路，其係由晶片致能訊號、操作致能訊號及寫入致能訊號來控制記憶體之讀寫，其中，當晶片致能訊號及操作致能訊號均被作用，控制電路進行讀取操作，當晶片致能訊號及寫入致能訊號均被作用，控制電路進行寫入操作，該控制電路包括：記憶體單元，用以儲存資料；位址解碼器，用以解碼位址線之資料，以輸出位址訊號來選擇記憶體單元之特定記憶體；緩衝器，用以緩衝所要存取之資料，以在進行讀取操作時，將選擇之

記憶體資料緩衝並輸出之，而在進行寫入操作時，將輸入之資料緩衝並寫入至選擇之記憶體；位址暫存器，係用以儲存由位址解碼器產生之目前位址訊號並輸出前次位址訊號；位址比較器，係用以比較位址解碼器產生之目前位址訊號以及前次位址訊號；以及遮斷邏輯，其係在目前所要讀取的記憶體位址與前一次記憶體存取之位址相同時，將晶片致能訊號遮斷，而緩衝器直接將所緩衝之資料輸出之。在連續時間下而位址訊號相同時，由緩衝器將緩衝之資料輸出，而非致能記憶體單元，所以靜態記憶體之消耗功率得以降低，故能達到本創作之目的。

四、實施方式

為能讓 貴審查委員能更瞭解本創作之技術內容，特舉一較佳具體實施例說明如下。在本創作中，所有控制訊號係與習知技術相同地採用低準位觸發之模式，即以低準位為致能狀態，高準位為禁能狀態。如圖2所示，當晶片致能訊號（-CS）及操作致能訊號（-OE）均被作用（邏輯0），則進行讀取操作，而當晶片致能訊號（-CS）及寫入致能訊號（-WE）均被作用（邏輯0），則進行寫入操作。

如圖2所示，本創作的省電之靜態記憶體控制電路結構主要包括位址解碼器10、位址暫存器20、位址比較器22、記憶體單元14、緩衝器18、及遮斷邏輯24等，其中位址解碼器10係用以讀取位址線之資料並進行位址解

碼，以輸出位址訊號來選擇記憶體單元14之特定記憶體區段。

位址暫存器20係用以儲存目前位址訊號並輸出前次位址訊號。其中，前次位址訊號係為時間上較早之位址訊號，亦即，前次位址訊號為前一次記憶體存取之位址訊號。

位址比較器22係用以輸入目前位址訊號以及前次位址訊號並比較之，如果目前位址訊號以及前次位址訊號相同時，表示在連續之時間上存取同一位址之資料，則輸出表示位址相同之位址比較訊號（低準位之-CMP訊號），否則輸出表示位址不相同之位址比較訊號（高準位之-CMP訊號）。

遮斷邏輯24係由一反或閘241和一或閘242所組成。反或閘241係用以輸入位址比較訊號（-CMP）以及操作致能訊號（-OE），經邏輯反或（NOR）處理後輸出至或閘242，或閘242將反或閘241之輸出與晶片致能訊號（-CS）進行邏輯或（OR）處理以作為一內部晶片致能訊號（-CS'）。

內部晶片致能訊號（-CS'）用以致能記憶體單元14，俾使其能對所選擇之記憶體進行記憶體讀寫，當內部晶片致能訊號（-CS'）被作用、且操作致能訊號（-OE）亦被作用，則可對記憶體單元14進行讀取，而將特定記憶體區段所儲存之資料經由緩衝器18緩衝並輸出至外部電路；而當內部晶片致能訊號（-CS'）被作用、且寫入致能訊號（-WE）亦被作用，則可對記憶體14進行寫入，以

將由外部電路輸入至緩衝器18的資料寫入特定記憶體區段。

而經由遮斷邏輯24之處理，當目前所要讀取的記憶體位址與前一次記憶體存取之位址相同時，輸出之位址比較訊號（-CMP）為低準位（邏輯0），而操作致能訊號（-OE）亦被作用（邏輯0），故反或閘241之輸出為高準位（邏輯1），因此，作用之晶片致能訊號（-CS）與反或閘241之輸出經過或閘242之處理所產生之內部晶片致能訊號（-CS'）將變成不作用（邏輯1），亦即，遮斷邏輯24將遮斷（Mask）晶片致能訊號（-CS），而不去致能記憶體單元14，且由於目前所要讀取的記憶體位址與前一次記憶體存取之位址相同，而緩衝器18仍暫存有前次記憶體存取之資料，因此，目前所要讀取之資料可直接由緩衝器18輸出即可。

而當進行資料寫入或目前所要讀取的記憶體位址與前一次記憶體存取之位址不相同時，遮斷邏輯24不會遮斷晶片致能訊號（-CS），因此，記憶體之資料讀寫模式與習知技術相同。

由以上之說明可知，本創作藉由比較目前位址訊號以及前次位址訊號，以在目前所要讀取的記憶體位址與前一次記憶體存取之位址相同時，遮斷晶片致能訊號（-CS），不去致能記憶體單元而直接由緩衝器讀取仍然暫存在緩衝器中之所需資料。由於讀取緩衝器之功率消耗遠小於讀取記憶體單元之功率消耗，因此，可較習知記憶體控制電路具有減少功率消耗之優點。

上述實施例僅係為了方便說明而舉例而已，本創作所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

五、圖式簡單說明

圖1係習知靜態記憶體之結構圖；以及

圖2係本創作靜態記憶體之結構圖。

六、圖號說明

10	位址解碼器	14	記憶體單元	18	緩衝器
20	位址暫存器	22	位址比較器	24	遮斷邏輯
241	反或閘	242	或閘		

玖、申請專利範圍

1. 一種省電之靜態記憶體控制電路，其係由晶片致能訊號、操作致能訊號及寫入致能訊號來控制記憶體之讀寫，其中，當晶片致能訊號及操作致能訊號均被作用，該控制電路進行讀取操作，當晶片致能訊號及寫入致能訊號均被作用，該控制電路進行寫入操作，該控制電路包括：

一記憶體單元，用以儲存資料；

一位址解碼器，用以解碼位址線之資料，以輸出一位址訊號來選擇該記憶體單元之一特定記憶體；

一緩衝器，用以緩衝所要存取之資料，以在進行讀取操作時，將選擇之記憶體資料緩衝並輸出之，而在進行寫入操作時，將輸入之資料緩衝並寫入至選擇之記憶體；

一位址暫存器，係用以儲存由該位址解碼器產生之一目前位址訊號並輸出一前次位址訊號；

一位址比較器，係用以比較該位址解碼器產生之該目前位址訊號以及該前次位址訊號；以及

一遮斷邏輯，其係在目前所要讀取的記憶體位址與前一次記憶體存取之位址相同時，將該晶片致能訊號遮斷，而該緩衝器直接將所緩衝之資料輸出之。

2. 如申請專利範圍第1項所述之省電之靜態記憶體，其中，該晶片致能訊號、操作致能訊號以及寫入致能訊號係以低準位為作用狀態，高準位為不作用狀態。

3. 如申請專利範圍第2項所述之省電之靜態記憶體，其中，當目前位址訊號與前次位址訊號相同時，該位址比較器輸出低準位之訊號，否則輸出高準位之訊號。

4. 如申請專利範圍第3項所述之省電之靜態記憶體，其中，該遮斷邏輯係由一反或閘以及一或閘所組成，該反或閘輸入位址比較器之輸出以及該操作致能訊號，該或閘將反或閘之輸出與晶片致能訊號進行邏輯或處理。

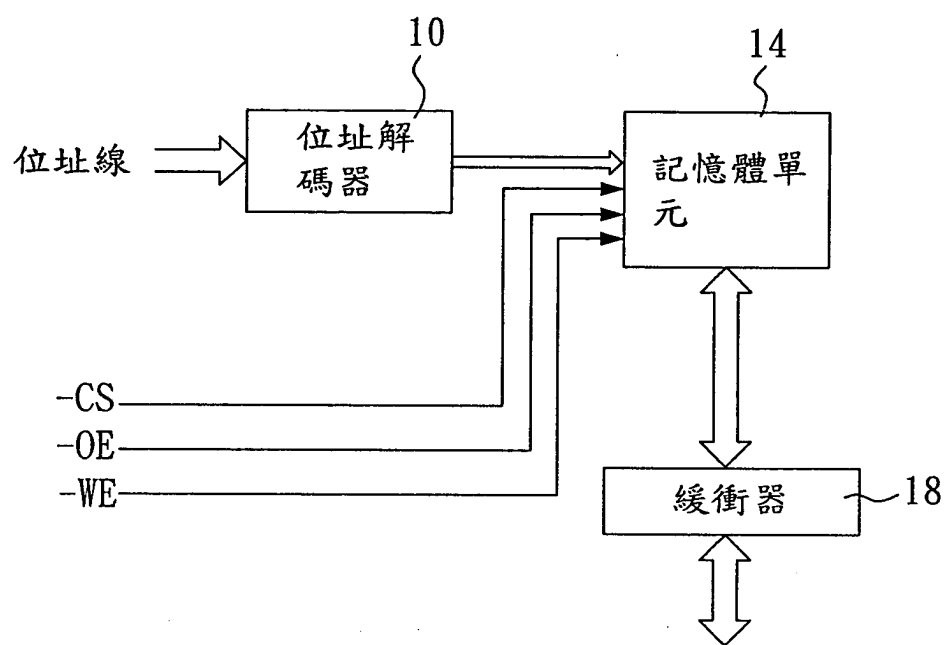


圖1

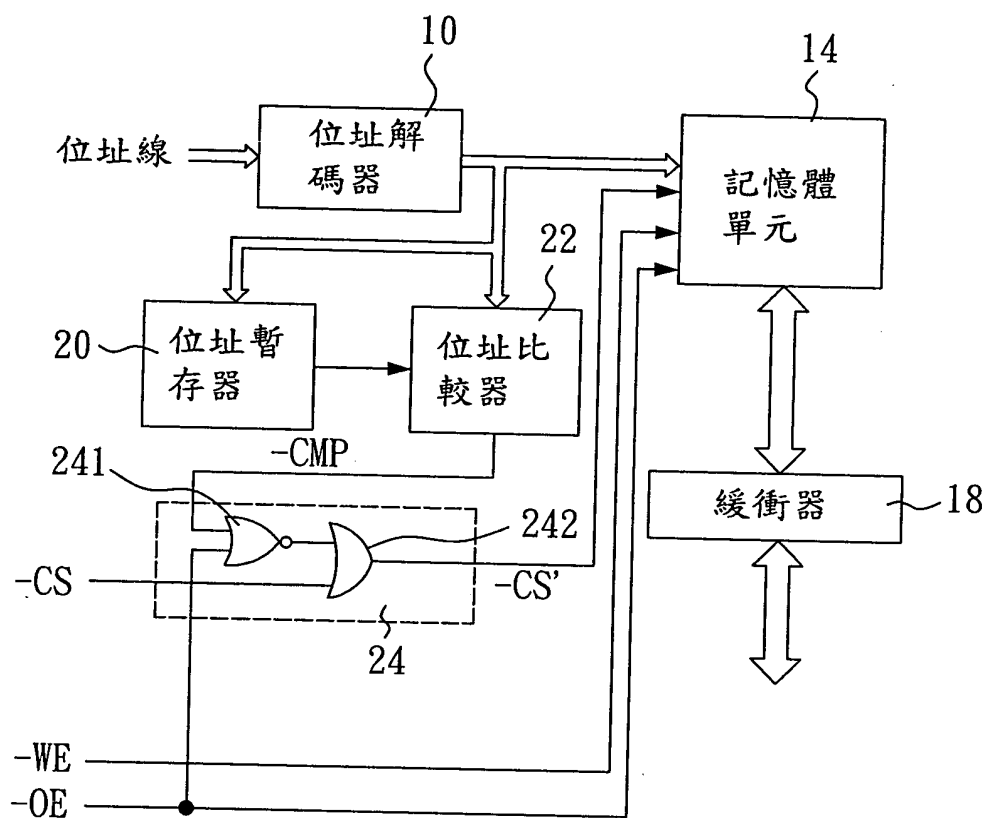


圖2